



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **10233713 A**

(43) Date of publication of application: 02 . 09 . 98

(51) Int. Cl.

H04B 1/707
H04J 13/04(21) Application number: **09036570**

(22) Date of filing: 20 . 02 . 97

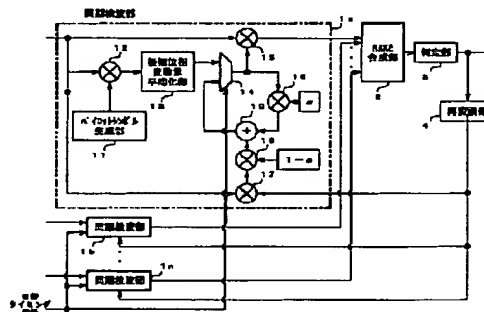
(71) Applicant: **KOKUSAI ELECTRIC CO LTD**(72) Inventor:
TSUNODA HISAMI
ISHII TAKAHITO
ABE TATSUYA
ABE SHUNJI(54) **SYNCHRONIZATION DETECTION CIRCUIT**

(57) Abstract:

PROBLEM TO BE SOLVED: To provide the synchronization detection circuit with reduced power consumption by reducing the circuit scale and applicable to the direct spread code division multiple access (DS-CDMA) system because of a small discrimination delay.

SOLUTION: Each of synchronization detection sections 1(1a-1n) uses a mean amplitude phase fluctuation vector as an amplitude phase compensation vector calculated in a pilot symbol block to compensate an amplitude phase fluctuation of an information symbol and provides an output of the result to a RAKE synthesis section 2, and a discrimination section 3 provides an output of discrimination data being the result of synchronization detection externally. Then a re-modulation section 4 applies re-modulation to the discrimination data and feeds back the result to each synchronization detection section 1 so that each synchronization detection section 1 updates sequentially the amplitude phase compensation vector.

COPYRIGHT: (C)1998,JPO



PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-233713

(43)Date of publication of application : 02.09.1998

(51)Int.Cl.

H04B 1/707
H04J 13/04

(21)Application number : 09-036570

(71)Applicant : KOKUSAI ELECTRIC CO LTD

(22)Date of filing : 20.02.1997

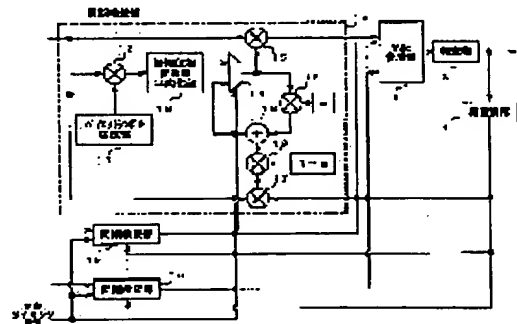
(72)Inventor : TSUNODA HISAMI
ISHII TAKAHITO
ABE TATSUYA
ABE SHUNJI

(54) SYNCHRONIZATION DETECTION CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide the synchronization detection circuit with reduced power consumption by reducing the circuit scale and applicable to the direct spread code division multiple access (DS-CDMA) system because of a small discrimination delay.

SOLUTION: Each of synchronization detection sections 1 (1a-1n) uses a mean amplitude phase fluctuation vector as an amplitude phase compensation vector calculated in a pilot symbol block to compensate an amplitude phase fluctuation of an information symbol and provides an output of the result to a RAKE synthesis section 2, and a discrimination section 3 provides an output of discrimination data being the result of synchronization detection externally. Then a re-modulation section 4 applies re-modulation to the discrimination data and feeds back the result to each synchronization detection section 1 so that each synchronization detection section 1 updates sequentially the amplitude phase compensation vector.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japanese Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-233713

(43) 公開日 平成10年(1998) 9月2日

(51) Int.Cl.⁶

識別記号

F I

H 0 4 B 1/707

H 0 4 J 13/00

D

H 0 4 J 13/04

G

審査請求 未請求 請求項の数9 O L (全 14 頁)

(21) 出願番号 特願平9-36570

(22) 出願日 平成9年(1997) 2月20日

(71) 出願人 000001122

国際電気株式会社

東京都中野区東中野三丁目14番20号

(72) 発明者 角田 久美

東京都中野区東中野三丁目14番20号 国際
電気株式会社内

(72) 発明者 石井 崇人

東京都中野区東中野三丁目14番20号 国際
電気株式会社内

(72) 発明者 阿部 達也

東京都中野区東中野三丁目14番20号 国際
電気株式会社内

(74) 代理人 弁理士 船津 暢宏 (外 1 名)

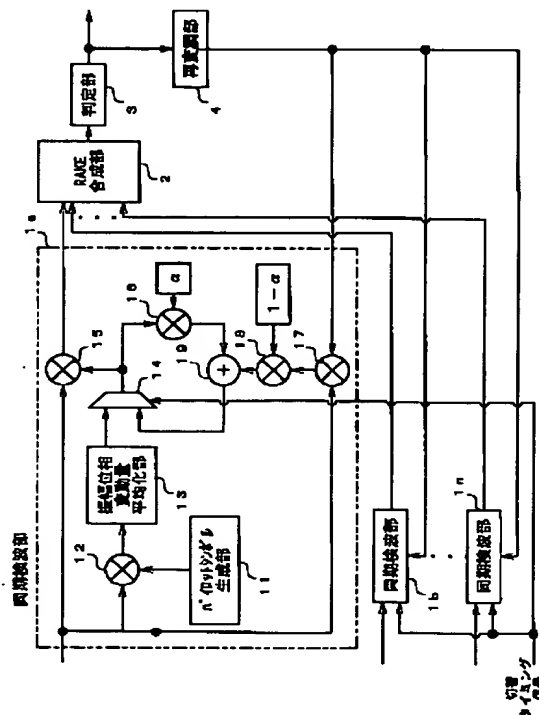
最終頁に続く

(54) 【発明の名称】 同期検波回路

(57) 【要約】

【課題】 従来の同期検波回路では、回路規模と消費電力とが増大し、また、DS-CDMA方式に適用できないという問題点があったが、本発明では、回路規模を縮小して消費電力を低減し、また、判定遅延が少なくDS-CDMA方式に適用できる同期検波回路を提供する。

【解決手段】 同期検波部1がパイロットシンボルブロックで算出した平均振幅位相変動ベクトルを振幅位相補償ベクトルとして、情報シンボルの振幅位相変動量を補償して、RAKE合成部2に出力し、判定部3が同期検波の結果である判定データを外部に出力するとともに、判定データを再変調部4が再変調して同期検波部1に帰還し、同期検波部1が逐次的に振幅位相補償ベクトルを更新する同期検波回路である。



【特許請求の範囲】

【請求項1】 パイロットシンボルブロックで算出した平均振幅位相変動ベクトルを振幅位相補償ベクトルとして、情報シンボルの振幅位相変動量を補償する同期検波回路において、同期検波の結果である判定データを帰還して、逐次的に前記振幅位相補償ベクトルを更新することを特徴とする同期検波回路。

【請求項2】 パイロットシンボルブロックの平均振幅位相変動量を振幅位相補償ベクトルとして、第1の情報シンボルの振幅位相変動量を前記振幅位相補償ベクトルを用いて補償し、第2の情報シンボルは、1シンボル前の同期検波の結果である判定データと当該1シンボル前の情報シンボルとの間の振幅位相変動量と、前記振幅位相補償ベクトルとの加重平均値を新たな振幅位相補償ベクトルとして更新し、当該情報シンボルの振幅位相変動量を前記更新された振幅位相補償ベクトルを用いて補償し、第3番目以降の情報シンボルは、1シンボル前の同期検波の結果である判定データと当該1シンボル前の情報シンボルとの間の振幅位相変動量と、前記更新された振幅位相補償ベクトルとの加重平均値を新たな振幅位相補償ベクトルとして更新して、当該情報シンボルの振幅位相変動量を補償することを特徴とする同期検波回路。

【請求項3】 請求項2記載の加重平均は、1シンボル前の同期検波の結果である判定データと当該1シンボル前の情報シンボルとの間の振幅位相変動量に対する加重が振幅位相補償ベクトルに対する加重よりも軽いことを特徴とする請求項2記載の同期検波回路。

【請求項4】 パイロットシンボルの平均振幅位相変動量を、1スロット前のパイロットシンボルに対する平均振幅位相変動量と今回算出したパイロットシンボルの平均振幅位相変動量との加算平均としたことを特徴とする請求項2又は請求項3記載の同期検波回路。

【請求項5】 パイロットシンボルの平均振幅位相変動量を、過去の複数のスロット前のそれぞれのパイロットシンボルに対する平均振幅位相変動量と今回算出したパイロットシンボルの平均振幅位相変動量との加算平均としたことを特徴とする請求項2又は請求項3記載の同期検波回路。

【請求項6】 パイロットシンボルと同一の信号であるレプリカ信号を出力するパイロットシンボル生成部と、入力された関連データと前記レプリカ信号との複素共役乗算を算出する第1の複素共役乗算器と、前記複素共役乗算の結果の平均を算出して、複数の受信パイロットシンボルの平均振幅位相変動量として出力する振幅位相変動量平均化部と、選択的出力を行うセレクトと、第2の複素共役乗算器と、第1の乗算器と、第3の複素共役乗算器と、第2の乗算器と、加算器とを具備する同期検波部を備え、シンボルを逆拡散した関連データの入力を受けて、前記関連データの振幅位相変動量を補償して同期検波の結果である判定データを出力する同期検波回路で

あって前記セレクトは、外部から入力される切替タイミング信号に従って、第1の情報シンボルの関連データが入力されている間は、前記平均振幅位相変動量を選択して出力し、そうでないときには、前記加算器からの出力を選択して出力するセレクトであり、

前記第2の複素共役乗算器は、前記入力された関連データと前記セレクトで選択されて出力された信号との複素共役乗算を算出して外部に出力する第2の複素共役乗算器であり、

前記第1の乗算器は、前記セレクトから出力される信号に平均化された重みを乗算する第1の乗算器であり、

前記第3の複素共役乗算器は、前記判定データを再変調した信号の入力を外部から受けて、前記入力された関連データとの複素共役乗算を算出する第3の複素共役乗算器であり、

前記第2の乗算器は、前記第3の複素共役乗算器から入力される複素共役乗算の結果に平均化された重みを乗算する第2の乗算器であり、

前記加算器は、前記第1の乗算器で重み付けされた信号と前記第2の乗算器で重みづけされた信号とを加算して前記セレクトに出力する加算器である同期検波部を有することを特徴とする同期検波回路。

【請求項7】 バスに対応して設けられた複数の請求項6記載の同期検波部と、前記同期検波部の出力を合成する合成部と、前記合成部で合成された結果から情報シンボルを判定データとして再生する判定部と、前記判定データを再変調して前記同期検波部に帰還して出力する再変調部とを有することを特徴とする同期検波回路。

【請求項8】 バスに対応して設けられた複数の請求項6記載の同期検波部と、前記同期検波部の出力を合成する合成部と、前記合成部で合成された結果から情報シンボルを判定データとして軟判定し、再生する軟判定部と、前記判定データを軟判定の尤度に応じて振幅を重み付けして再変調し、受信シンボルのレプリカとして前記同期検波部に帰還して出力する再変調部とを有することを特徴とする同期検波回路。

【請求項9】 パイロットシンボルと同一の信号であるレプリカ信号を出力するパイロットシンボル生成部と、入力された関連データと前記レプリカ信号との複素共役乗算を算出する第1の複素共役乗算器と、前記複素共役乗算の結果の平均を算出して、複数の受信パイロットシンボルの平均振幅位相変動量として出力する振幅位相変動量平均化部と、前記振幅位相変動量平均化部が出力する平均振幅位相変動ベクトルを1スロットに亘って一時格納する平均振幅位相変動ベクトル格納用レジスタと、前記振幅位相変動量平均化部が現在出力している平均振幅位相変動ベクトルと、前記平均振幅位相変動ベクトル格納用レジスタが格納している平均振幅位相変動ベクトルとの加算平均値を算出してセレクトに出力する加算平均部と、選択的出力を行うセレクトと、第2の複素共役

乗算器と、第1の乗算器と、第3の複素共役乗算器と、第2の乗算器と、加算器とを具備する同期検波部を備え、シンボルを逆拡散した相関データの入力を受けて、前記相関データの振幅位相変動量を補償して同期検波の結果である判定データを出力する同期検波回路であって、
前記セレクトは、外部から入力される切替タイミング信号に従って、第1の情報シンボルの相関データが入力されている間は、前記加算平均部から出力される前記平均振幅位相変動ベクトルを選択して出力し、そうでないときには、前記加算器からの出力を選択して出力するセレクトであり、
前記第2の複素共役乗算器は、前記入力された相関データと前記セレクトで選択されて出力された信号との複素共役乗算を算出して外部に出力する第2の複素共役乗算器であり、
前記第1の乗算器は、前記セレクトから出力される信号に平均化された重みを乗算する第1の乗算器であり、
前記第3の複素共役乗算器は、判定データを再変調した信号の入力を外部から受けて、前記入力された相関データとの複素共役乗算を算出する第3の複素共役乗算器であり、
前記第2の乗算器は、前記第3の複素共役乗算器から入力される複素共役乗算の結果に平均化された重みを乗算する第2の乗算器であり、
前記加算器は、前記第1の乗算器で重み付けされた信号と前記第2の乗算器で重みづけされた信号とを加算して前記セレクトに出力する加算器である同期検波部を有することを特徴とする同期検波回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、移動体通信における同期検波回路に係り、特に回路規模を縮小し、消費電力を低減しつつ、DS-SS方式に適用できる同期検波回路に関する。

【0002】

【従来の技術】移動体通信においては、限られた周波数等の資源を有効に利用する方法としてさまざまな多元接続の方法が考案されており、近年、DS-SS (Direct Sequence-Code Division Multiple Access : 直接拡散符号分割多元接続) 方式と称される方法が注目されている。

【0003】DS-SS方式では、その方式に特有の閉ループ制御型送信電力制御を行うためには、シンボルの判定に1スロット程度の遅延がないようにしなければならないことが知られている。

【0004】従来から同期検波の方法として、受信側で一定周期で挿入されるパイロットシンボルを用いて無線伝搬路変動を推定し、その無線伝搬路の変動の推定値を用いて受信シンボルを補償することによって、受信シン

ボルの振幅位相変動を補償する方法が提案されている。

【0005】かかる従来の同期検波回路について、図5を参照しつつ説明する。図5は、従来の同期検波回路の構成ブロック図である。従来の同期検波回路は、パイロット内挿補間型同期検波回路によって精度の高い同期検波を実現するもので、複数の同期検波部61と、RAKE合成部62と、判定部63とから基本的に構成されている。

【0006】また、各同期検波部61は、シンボル格納メモリ71と、パイロットシンボル生成回路72と、第1の複素共役乗算器73と、振幅位相変動量平均化部74と、補間回路75と、第2の複素共役乗算器76とから構成されている。

【0007】以下、各部を具体的に説明する。同期検波部61は、逆拡散された相関データの入力を受けて、シンボルの振幅位相を補償し、シンボルをRAKE合成部62に出力するものであり、具体的には、後述する。RAKE合成部62は、同期検波部61からパス数分の振幅位相補償後の受信シンボルの入力を受けて、これらを加算し、RAKE合成を行うものである。

【0008】ここで、入力される受信シンボルは、逆拡散され、さらにパス分離された形のシンボルを想定しており、具体的には図6に示すようなものとなっている。図6は、同期検波回路に入力される受信シンボルの一例を表す説明図である。すなわち、入力される受信シンボルは、図6に示すように、パイロットシンボルが複数個並んだブロック（以下、「パイロットシンボルブロック」と称する）と情報シンボルが複数個並んだブロック（以下、「情報シンボルブロック」と称する）とから構成されるスロットが連続したものである。

【0009】判定部63は、RAKE合成部62からRAKE合成された受信シンボルの入力を受けて、予め設定されているしきい値と比較し、その比較の結果を判定データとして出力するものである。

【0010】ここで、同期検波部61の各部について、より具体的に説明する。シンボル格納メモリ71は、外部から入力される受信シンボルを1スロット分格納するものである。パイロットシンボル生成回路72は、既知のパイロットシンボルと同一の信号（以下、「レプリカ信号」と称する）を生成し、第1の複素共役乗算器73に出力するものである。

【0011】第1の複素共役乗算器73は、外部から入力される受信シンボル中のパイロットシンボルと、パイロットシンボル生成回路72から入力されるレプリカ信号との複素共役乗算を行い、受信したパイロットシンボルの振幅位相変動量を検出するものである。尚、受信シンボル中のパイロットシンボルは、通常、複数個連続したブロック（以下、「パイロットシンボルブロック」と称する）となっているので、第1の複素共役乗算器73は、その数だけ振幅位相変動量を出力するようになる。

【0012】振幅位相変動量平均化部74は、振幅位相変動量の雑音成分を抑圧するために、第1の複素共役乗算器73から入力される複数の振幅位相変動量を平均化し、平均振幅位相変動ベクトルを算出するものである。

【0013】つまり、 n 個の連続したパイロットシンボルからなるパイロットシンボルブロック内の第 k 番目の受信パイロットシンボルのベクトルを $(P_{ik} + j P_{qk})$ 、パイロットシンボル生成回路72が出力する第 k 番目のレプリカ信号のベクトルを $(U_{ik} + j U_{qk})$ とするとパイロットシンボルブロックの平均振幅位相変動ベクトル $(PR_i + j PR_q)$ は、次の[数1]に示されるものとなる。尚、ここで、「 j 」は虚数単位である。

【0014】

[数1]

$$PR_i = \frac{1}{n} \sum_{k=1}^n (U_{ik} \cdot P_{ik} + U_{qk} \cdot P_{qk})$$

$$PR_q = \frac{1}{n} \sum_{k=1}^n (U_{qk} \cdot P_{ik} - U_{ik} \cdot P_{qk})$$

【0015】補間回路75は、前回振幅位相変動量平均化部74から入力されるパイロットシンボルブロックの平均振幅位相変動ベクトルを記憶しており、今回振幅位相変動量平均化部74から入力されるパイロットシンボルブロックの平均振幅位相変動ベクトルとの間で補間して、シンボルの振幅位相変動を補償する振幅位相補償ベクトルを算出するものである。ここで、補間は、例えば内挿補間であり、具体的には、振幅位相変動を補償する情報シンボルブロックの前後に位置するパイロットシンボルブロックの平均振幅位相変動ベクトルを内挿補間する事により振幅位相補償ベクトルを算出することである。

【0016】つまり、補間する情報シンボルブロックの前に位置するパイロットシンボルブロックの平均振幅位相変動ベクトル（記憶している前回の平均振幅位相変動ベクトル）を $(PR_{io} + j PR_{qo})$ 、後に位置するパイロットシンボルブロックの平均振幅位相変動ベクトル（今回の平均振幅位相変動ベクトル）を $(PR_{in} + j PR_{qn})$ とすると、例えば、これらの平均値で0次の内挿を行う場合、振幅位相補償ベクトル $(S_i + j S_q)$ は、次の[数2]で示されるものとなる。

【0017】

[数2]

$$S_i = \frac{PR_{io} + PR_{in}}{2}$$

$$S_q = \frac{PR_{qo} + PR_{qn}}{2}$$

【0018】第2の複素共役乗算器76は、補間回路75から入力される振幅位相補償ベクトルと、シンボル格

納メモリ71に格納されている受信シンボルの複素共役乗算を行って振幅位相変動を補償し、その結果を振幅位相補償後の受信シンボルとして出力するものである。

【0019】つまり、例えば情報シンボルブロック内の1番目の情報シンボルのベクトルを $(I_{i1} + j I_{q1})$ 、情報シンボルを補償するために内挿補間で求めた振幅位相補償ベクトルを $(S_i + S_q)$ とすると、振幅位相補償後における1番目の情報シンボルのベクトル $(E_{i1} + j E_{q1})$ は、次の[数3]で与えられるものとなる。

【0020】

[数3]

$$E_{i1} = I_{i1} \cdot S_i + I_{q1} \cdot S_q$$

$$E_{q1} = I_{q1} \cdot S_i - I_{i1} \cdot S_q$$

【0021】次に、従来の同期検波回路の動作について説明する。尚、以下の説明では、パイロットシンボルブロックは、パイロットシンボルが4個連続したものであるとしている。まず、受信された信号は、逆拡散され、さらにパス分離されて、パスごとに受信シンボルとして同期検波部61に入力される。そして、同期検波部61のシンボル格納メモリ71が受信シンボルを1スロット分格納する。

【0022】一方、パイロットシンボル生成回路72がレプリカ信号を生成し、第1の複素共役乗算器73が受信シンボル中のパイロットシンボルと、パイロットシンボル生成回路72から入力されるレプリカ信号との複素共役乗算を行い、受信した4個のパイロットシンボルの振幅位相変動量を検出する。

【0023】そして、振幅位相変動量平均化部74が第1の複素共役乗算器73から入力される4個の振幅位相変動量の平均を算出して、平均振幅位相変動ベクトルを出力し、補間回路75が前回入力された平均振幅位相変動ベクトルと今回入力された平均振幅位相変動ベクトルとの平均を算出して、振幅位相補償ベクトルとして、第2の複素共役乗算器76に出力する。

【0024】そして、第2の複素共役乗算器76がシンボル格納メモリ71に格納されている受信シンボルと振幅位相補償ベクトルとの複素共役乗算を行って、各情報シンボルを補償し、振幅位相を補償した受信シンボルとしてRAKE合成部62に出力する。つまり、振幅位相を補償した受信シンボルとは、補間回路75が出力する振幅位相補償ベクトルの振幅値で重み付けされた受信シンボルである。

【0025】そして、RAKE合成部62が複数の同期検波部61から入力される振幅位相を補償した受信シンボルを加算合成し（最大比合成を算出し）、加算合成された受信シンボルを判定部63に出力する。

【0026】そして、判定部63が最大比合成された受信シンボルと予め設定されたしきい値とを比較判定し、その結果を判定データとして出力する。

【0027】

【発明が解決しようとする課題】しかしながら、上記従来の同期検波回路では、情報シンボルブロックの振幅位相変動を補償するために、情報シンボルブロックの後に位置するパイロットブロックの平均振幅位相変動ベクトルを利用しているため、受信シンボルを一時的に格納するメモリが必要になり、パスダイバシティ効果を向上させるためにパス数を増やせばその分だけメモリ容量が増大し、回路規模と消費電力とが増大するという問題点があった。

【0028】また、DS-CDMA方式では、基地局が移動局からの受信信号を元に干渉電力を求め、当該干渉電力に応じて移動局に対する送信電力を調整する、閉ループ制御型送信電力制御と称される送信電力制御の方法が採用されることがあるが、上記従来の同期検波回路では、判定データを得るまでに1スロット分の時間の遅延が発生するため、受信信号に基づく送信電力の制御も1スロット分の時間だけ遅延して誤差が大きくなり、加入者容量が低下し、通信品質に劣化を来すなどDS-CDMA方式に適用できないという問題点があった。

【0029】本発明は上記実情に鑑みて為されたもので、回路規模を縮小して消費電力を低減し、また、判定遅延が少なく閉ループ制御型送信電力制御を採用するDS-CDMA方式に適用できる同期検波回路を提供することを目的とする。

【0030】

【課題を解決するための手段】上記従来例の問題点を解決するための請求項1記載の発明は、同期検波回路において、パイロットシンボルブロックで算出した平均振幅位相変動ベクトルを振幅位相補償ベクトルとして、情報シンボルの振幅位相変動量を補償する同期検波回路において、同期検波の結果である判定データを帰還して、逐次的に前記振幅位相補償ベクトルを更新することを特徴としており、回路規模と消費電力とを低減し、DS-CDMA方式に適用できる。

【0031】上記従来例の問題点を解決するための請求項2記載の発明は、同期検波回路において、パイロットシンボルブロックの平均振幅位相変動量を振幅位相補償ベクトルとして、第1の情報シンボルの振幅位相変動量を前記振幅位相補償ベクトルを用いて補償し、第2の情報シンボルは、1シンボル前の同期検波の結果である判定データと当該1シンボル前の情報シンボルとの間の振幅位相変動量と、前記振幅位相補償ベクトルとの加重平均値を新たな振幅位相補償ベクトルとして更新し、当該情報シンボルの振幅位相変動量を前記更新された振幅位相補償ベクトルを用いて補償し、第3番目以降の情報シンボルは、1シンボル前の同期検波の結果である判定データと当該1シンボル前の情報シンボルとの間の振幅位相変動量と、前記更新された振幅位相補償ベクトルとの加重平均値を新たな振幅位相補償ベクトルとして更新し

て、当該情報シンボルの振幅位相変動量を補償することとを特徴としており、回路規模と消費電力とを低減し、DS-CDMA方式に適用できる。

【0032】上記従来例の問題点を解決するための請求項3記載の発明は、請求項2記載の同期検波回路において、加重平均は、1シンボル前の同期検波の結果である判定データと当該1シンボル前の情報シンボルとの間の振幅位相変動量に対する加重が振幅位相補償ベクトルに対する加重よりも軽いことを特徴としており、回路規模と消費電力とを低減し、DS-CDMA方式に適用できる。

【0033】上記従来例の問題点を解決するための請求項4記載の発明は、請求項2又は請求項3記載の同期検波回路において、パイロットシンボルの振幅位相変動量の平均を、1スロット前のパイロットシンボルに対する振幅位相変動量の平均と今回算出したパイロットシンボルの振幅位相変動量の平均との加算平均としたことを特徴としており、高い精度で振幅位相変動量を補償した判定データを出力でき、回路規模と消費電力とを低減し、DS-CDMA方式に適用できる。

【0034】上記従来例の問題点を解決するための請求項5記載の発明は、請求項2又は請求項3記載の同期検波回路において、パイロットシンボルの振幅位相変動量の平均を、過去の複数のスロット前のそれぞれのパイロットシンボルに対する振幅位相変動量の平均と今回算出したパイロットシンボルの振幅位相変動量の平均との加算平均としたことを特徴としており、高い精度で振幅位相変動量を補償した判定データを出力でき、回路規模と消費電力とを低減し、DS-CDMA方式に適用できる。

【0035】上記従来例の問題点を解決するための請求項6記載の発明は、同期検波回路において、パイロットシンボルと同一の信号であるレプリカ信号を出力するパイロットシンボル生成部と、入力された関連データと前記レプリカ信号との複素共役乗算を算出する第1の複素共役乗算器と、前記複素共役乗算の結果の平均を算出して、複数の受信パイロットシンボルの振幅位相変動量の平均として出力する振幅位相変動量平均化部と、選択的出力を行うセレクトと、第2の複素共役乗算器と、第1の乗算器と、第3の複素共役乗算器と、第2の乗算器と、加算器とを具備する同期検波部を備え、シンボルを逆拡散した関連データの入力を受けて、前記関連データの振幅位相変動量を補償して同期検波の結果である判定データを出力する同期検波回路であって、前記セレクトは、外部から入力される切替タイミング信号に従って、第1の情報シンボルの関連データが入力されている間は、前記振幅位相変動量の平均を選択して出力し、そうでないときには、前記加算器からの出力を選択して出力するセレクトであり、前記第2の複素共役乗算器は、前記入力された関連データと前記セレクトで選択されて出

力された信号との複素共役乗算を算出して外部に出力する第2の複素共役乗算器であり、前記第1の乗算器は、前記セクタから出力される信号に平均化された重みを乗算する第1の乗算器であり、前記第3の複素共役乗算器は、前記判定データを再変調した信号の入力を外部から受けて、前記入力された相関データとの複素共役乗算を算出する第3の複素共役乗算器であり、前記第2の乗算器は、前記第3の複素共役乗算器から入力される複素共役乗算の結果に平均化された重みを乗算する第2の乗算器であり、前記加算器は、前記第1の乗算器で重み付けされた信号と前記第2の乗算器で重み付けされた信号とを加算して前記セクタに出力する加算器である同期検波部を有することを特徴としており、回路規模と消費電力とを低減し、DS-CDMA方式に適用できる。

【0036】上記従来例の問題点を解決するための請求項7記載の発明は、同期検波回路において、パスに対応して設けられた複数の請求項6記載の同期検波部と、前記同期検波部の出力を合成する合成部と、前記合成部で合成された結果から情報シンボルを判定データとして再生する判定部と、前記判定データを再変調して前記同期検波部に帰還して出力する再変調部とを有することを特徴としており、回路規模と消費電力とを低減し、DS-CDMA方式に適用できる。

【0037】上記従来例の問題点を解決するための請求項8記載の発明は、同期検波回路において、パスに対応して設けられた複数の請求項6記載の同期検波部と、前記同期検波部の出力を合成する合成部と、前記合成部で合成された結果から情報シンボルを判定データとして軟判定し、再生する軟判定部と、前記判定データを再変調して前記同期検波部に帰還して出力する再変調部とを有することを特徴としており、回路規模と消費電力とを低減し、DS-CDMA方式に適用できる。

【0038】上記従来例の問題点を解決するための請求項9記載の発明は、同期検波回路において、パイロットシンボルと同一の信号であるレプリカ信号を出力するパイロットシンボル生成部と、入力された相関データと前記レプリカ信号との複素共役乗算を算出する第1の複素共役乗算器と、前記複素共役乗算の結果の平均を算出して、複数の受信パイロットシンボルの振幅位相変動量の平均として出力する振幅位相変動量平均化部と、前記振幅位相変動量平均化部が出力する平均振幅位相変動ベクトルを1スロットに亘って一時格納する平均振幅位相変動ベクトル格納用レジスタと、前記振幅位相変動量平均化部が現在出力している平均振幅位相変動ベクトルと、前記平均振幅位相変動ベクトル格納用レジスタが格納している平均振幅位相変動ベクトルとの加算平均値を算出してセクタに出力する加算平均部と、選択的出力を行うセクタと、第2の複素共役乗算器と、第1の乗算器と、第3の複素共役乗算器と、第2の乗算器と、加算器とを具備する同期検波部を備え、シンボルを逆拡散した

相関データの入力を受けて、前記相関データの振幅位相変動量を補償して同期検波の結果である判定データを出力する同期検波回路であって、前記セクタは、外部から入力される切替タイミング信号に従って、第1の情報シンボルの相関データが入力されている間は、前記加算平均部から出力される前記平均振幅位相変動ベクトルを選択して出力し、そうでないときには、前記加算器からの出力を選択して出力するセクタであり、前記第2の複素共役乗算器は、前記入力された相関データと前記セクタで選択されて出力された信号との複素共役乗算を算出して外部に出力する第2の複素共役乗算器であり、前記第1の乗算器は、前記セクタから出力される信号に平均化された重みを乗算する第1の乗算器であり、前記第3の複素共役乗算器は、判定データを再変調した信号の入力を外部から受けて、前記入力された相関データとの複素共役乗算を算出する第3の複素共役乗算器であり、前記第2の乗算器は、前記第3の複素共役乗算器から入力される複素共役乗算の結果に平均化された重みを乗算する第2の乗算器であり、前記加算器は、前記第1の乗算器で重み付けされた信号と前記第2の乗算器で重み付けされた信号とを加算して前記セクタに出力する加算器である同期検波部を有することを特徴としており、回路規模と消費電力とを低減しつつ、高い精度で振幅位相変動量を補償して判定データを再生でき、かつDS-CDMA方式に適用できる。

【0039】

【発明の実施の形態】本発明の実施の形態を図面を参照しながら説明する。本発明に係る同期検波回路（本回路）は、1シンボル前の情報シンボル又はパイロットシンボルを用いて算出される振幅位相変動量によって、情報シンボルの振幅位相変動を補償するもので、メモリを用いることがないため、回路規模と消費電力とを低減でき、また、補償を行って判定データを出力するまでに1スロット分もの遅延が生じることがないためにDS-CDMA方式に適用できるものである。

【0040】本回路は、図1に示すように、複数の同期検波部1と、RAKE合成部2と、判定部3と、再変調部4とから構成されている。図1は、本回路の構成ブロック図である。また、同期検波部1は、パイロットシンボル生成部11と、第1の複素共役乗算器12と、振幅位相変動量平均化部13と、セクタ14と、第2の複素共役乗算器15と、第1の乗算器16と、第3の複素共役乗算器17と、第2の乗算器18と、加算器19とから構成されている。尚、請求項において、RAKE合成部2を単に「合成部」と略称している。

【0041】以下、各部を具体的に説明する。同期検波部1は、従来の同期検波部61と同様に、それぞれRAKE合成を行うパスごとの逆拡散された相関データの入力を受けて、シンボルの振幅位相を補償し、シンボルをRAKE合成部2に出力するものであるが、シンボルを

出力する際に大幅な遅延が発生しないようになっているものである。具体的には後述する。

【0042】RAKE合成部2は、従来のRAKE合成部62と、また、判定部3は、従来の判定部63と、それぞれ同様のものであるので、説明を省略する。再変調部4は、判定データを再変調し、その結果を再変調信号として同期検波部1に帰還して出力するものである。

【0043】次に、同期検波部1の各部について具体的に説明する。同期検波部1のパイロットシンボル生成部11は、従来のパイロットシンボル生成部62と同様にレプリカ信号を出力するものである。

【0044】第1の複素共役乗算器12は、従来の第1の複素共役乗算器73と同様に、入力された受信シンボルに含まれる複数のパイロットシンボルと、パイロットシンボル生成回路11から入力されるレプリカ信号とを複素共役乗算して、それぞれのパイロットシンボルに対応する複数の受信パイロットシンボルの振幅位相変動量を算出するものである。

【0045】振幅位相変動量平均化部13は、従来の振幅位相変動量平均化部74と同様に、振幅位相変動量の雑音成分を抑圧するために、第1の複素共役乗算器12から入力される複数の受信パイロットシンボルの振幅位相変動量の平均を算出して、パイロットシンボルブロックの平均振幅位相変動ベクトルとして出力するものである。

【0046】セレクタ14は、外部から入力される切替タイミング信号に従って、振幅位相変動量平均化部13から入力される平均振幅位相変動ベクトルと後に説明する加算器19から入力される振幅位相補償ベクトルとのいずれかを切り替えて出力するものである。

【0047】切替タイミング信号は、後に説明するように、 n 個の情報シンボルのうち、パイロットシンボルブロックの直後にある第1の情報シンボル（情報シンボルブロックの先頭のシンボル）が同期検波部1に入力されている間は振幅位相変動量平均化部13から入力される平均振幅位相変動ベクトルを出力するように、また、その他の情報シンボルが入力されている間は、加算器19から入力される振幅位相補償ベクトルを出力するようにするものである。

【0048】そして、第2の複素共役乗算器15は、受信シンボルとセレクタ14から出力されるベクトルとの複素共役乗算を行い、振幅位相補償後の受信シンボルとして外部に出力するものである。

【0049】つまり、第2の複素共役乗算器15が出力する振幅位相補償後の受信シンボルは、第1の情報シンボルについては、パイロットシンボルブロックで算出した平均位相変動ベクトルによって振幅位相補償を行ったものとなり、その他の情報シンボルについては、後に説明するように第1の情報シンボルの判定データを再変調した再変調信号による振幅位相補償ベクトルによって振

幅位相補償を行ったものとなる。

【0050】第1の乗算器16は、セレクタ14から入力されるベクトルと係数 α とを乗算して出力するものである。ここで、係数 α とは、 $0 \leq \alpha \leq 1$ なる重みづけ係数（パラメータ）であり、セレクタ14が出力するベクトルと、後に説明する判定データの再変調信号による受信シンボルの振幅位相変動量との混合比を表すものである。

【0051】尚、係数 α は、小さすぎると再変調信号による受信シンボルの振幅位相変動量の影響が大きくなりすぎることとなって、判定誤りが発生した場合に特性が劣化し、係数 α が大きすぎると再変調信号による受信シンボルの振幅位相変動量が振幅位相補償ベクトルに反映されなくなるため、これらのバランスを考慮して実験的に決められなければならない。

【0052】一方、係数 α を分数で表現したとき、その分母が2のべき乗になっているとき、第1の乗算器16と、第2の乗算器18と、加算器19とで構成される加重平均部の回路構成が簡略にできることが知られている。そのため、例えば、 α は、 $7/8 = 0.875$ であることが現在最適と考えられる。

【0053】第3の複素共役乗算器17は、再変調部4から入力される再変調信号と、外部から入力される受信シンボルとを複素共役乗算して、受信シンボルの振幅位相変動量として出力するものである。第2の乗算器18は、第3の複素共役乗算器17から入力される受信シンボルの振幅位相変動量と係数 $(1 - \alpha)$ とを乗算して、出力するものである。尚、係数 α が $0 \leq \alpha \leq 1$ であるので、係数 $(1 - \alpha)$ もまた $0 \leq (1 - \alpha) \leq 1$ という条件を満たすようになる。

【0054】加算器19は、第1の乗算器16から入力される振幅位相補償ベクトルと係数 α との積に、第2の乗算器18から入力される受信シンボルの振幅位相変動量と係数 $(1 - \alpha)$ との積とを加算し、振幅位相補償ベクトルとして出力するものである。

【0055】次に、本回路の動作について説明する。尚、本回路に入力される逆拡散された相関データは、図2(a)に示すようなものであり、図6に示した従来のものと同一のものである。図2は、本回路の動作を表すタイミングチャート図である。

【0056】また、切替タイミング信号は、図2(b)に示すようなものとなっていることが考えられる。ここでは模式的に、切替タイミング信号はパルス信号であるものとし、当該信号が「H」（High）であるときにセレクタ14が振幅位相変動量平均化部13から入力される平均振幅位相変動ベクトルを選択して出力するように、また、当該信号が「L」（Low）であるときにセレクタ14が加算器19から入力される振幅位相補償ベクトルを出力するようになっておりとしている。

【0057】逆拡散された相関データがパイロットシン

ボルブロックである場合には、従来の同期検波回路と同様にして、同期検波部1のパイロットシンボル生成部11がパイロットシンボルのレプリカ信号を出力し、第1の複素共役乗算器12が入力された相関データとレプリカ信号とを複素共役乗算し、さらに振幅位相変動量平均化部13が平均振幅位相変動ベクトルを算出する。

【0058】つまり、 n 個の連続したパイロットシンボルからなるパイロットシンボルブロック内の k 番目の受信パイロットシンボルのベクトルを $(P_{ik} + j P_{qk})$ 、パイロットシンボル生成回路11が出力する k 番目のレプリカ信号のベクトルを $(U_{ik} + j U_{qk})$ とすると振幅位相変動量平均化部13が出力するパイロットシンボルブロックの平均振幅位相変動ベクトル $(P_{Ri} + j P_{Rq})$ は、従来と同様に【数1】で示したものと同様になる。

【0059】そして、第1の情報シンボルの相関データが入力されるタイミングで、切替タイミング信号が「H」となるので、セレクト14が振幅位相変動量平均化部13が平均振幅位相変動ベクトルを選択して出力する。

【0060】そして、第2の複素共役乗算器15が第1の情報シンボルの相関データと平均振幅位相変動ベクトルとの複素共役乗算を行って、振幅位相補償後の受信シンボルとして出力する。ここで、パイロットシンボルブロックから得られる平均振幅位相変動ベクトル $(P_{Ri} + j P_{Rq})$ を用いると、第1の情報シンボルのベクトル $(E_{i1} + j E_{q1})$ は、次の【数4】で示したものになる。

【0061】

【数4】

$$\begin{aligned} E_{i1} &= I_{i1} \cdot PR_i + I_{q1} \cdot PR_q \\ E_{q1} &= I_{q1} \cdot PR_i - I_{i1} \cdot PR_q \end{aligned}$$

【0062】ここで、 $(I_{i1} + j I_{q1})$ は、入力された第1の情報シンボルの相関データである。そして、RAKE合成部2が同期検波部1が出力する、各パスに対応する信号をRAKE合成し、判定部3が従来と同様にし、判定データを出力する。ここで、判定部3が出力する判定データは、外部に出力されるとともに、本回路の再変調部4にも出力される。

【0063】そして、再変調部4が判定データを再変調し、再変調信号として各同期検波部1の第3の複素共役乗算器17に出力する。すると、第3の複素共役乗算器17が第1の情報シンボルと当該再変調信号とを複素共役乗算して振幅位相補償ベクトルとして第2の乗算器18に出力する。

【0064】つまり、ここでの再変調信号は、第1の情報シンボルに対するレプリカ信号に相当する信号として扱われており、パイロットシンボルに対する【数1】に対応して、第1の情報シンボルの振幅位相変動量 $(IR$

$i1 + j IR_{q1})$ は、次の【数5】に示されるものになる。

【0065】

【数5】

$$\begin{aligned} IR_{i1} &= I_{i1} \cdot D_{i1} + I_{q1} \cdot D_{q1} \\ IR_{q1} &= I_{q1} \cdot D_{i1} - I_{i1} \cdot D_{q1} \end{aligned}$$

【0066】ここで、 $(D_{i1} + j D_{q1})$ は、再変調信号のベクトルを表している。そして、第2の乗算器18が当該振幅位相補償ベクトルに係数 $(1 - \alpha)$ を乗算して加算器19に出力する。一方、セレクト14が出力している平均振幅位相変動ベクトルは、第1の乗算器16によって、係数 α が乗算され、加算器19に出力される。そして、加算器19が双方のベクトルを加算してセレクト14に出力するようになる。

【0067】やがて、第2の情報シンボルの相関データが入力されるようになると、切替タイミング信号が「L」となって、セレクト14が加算器19から入力されるベクトルの和を出力するようになる。つまり、加算器19が出力するベクトルは、第2以降の情報シンボルのレプリカ信号に相当するもので、例えば、第2の情報シンボルに対しては、次の【数6】で表される $(S_{i2} + j S_{q2})$ となる。

【0068】

【数6】

$$\begin{aligned} S_{i2} &= \alpha \cdot PR_i + (1 - \alpha) \cdot IR_{i1} \\ S_{q2} &= \alpha \cdot PR_q + (1 - \alpha) \cdot IR_{q1} \end{aligned}$$

【0069】また、一般的には、次の【数7】で表される $(S_{in} + j S_{qn})$ となる。

【0070】

【数7】

$$\begin{aligned} S_{in} &= \alpha \cdot S_{i(n-1)} + (1 - \alpha) \cdot IR_{i(n-1)} \\ S_{qn} &= \alpha \cdot S_{q(n-1)} + (1 - \alpha) \cdot IR_{q(n-1)} \end{aligned}$$

ただし、

$$\begin{aligned} S_{i1} &= PR_i \\ S_{q1} &= PR_q \end{aligned}$$

【0071】そして、第2の複素共役乗算器15が第 k 番目の情報シンボルの相関データと当該ベクトルの和 $(S_{ik} + j S_{qk})$ との複素共役乗算を振幅位相補償後の受信シンボルとして出力する。

【0072】そして、同期検波部1から出力される、これら振幅位相補償後の受信シンボルをRAKE合成部2がRAKE合成して出力し、判定部3が判定データを出力するようになる。つまり、第1の情報シンボルは、パイロットシンボルブロックから得られる振幅位相変動ベクトルによって振幅位相補償を行い、以降の情報シンボ

ルは、判定データの再変調信号を帰還して、当該再変調信号と情報シンボルとから得られる振幅位相変動ベクトルによって次の情報シンボルの振幅位相補償を行うようになる。

【0073】本回路によれば、メモリを用いることなく、判定データの再変調信号を用いて、次の情報シンボルの振幅位相補償を行っており、回路規模を縮小して消費電力を低減でき、また、受信シンボルが入力されてから判定データが出力されるまでに1シンボルもの遅延が生ずることがないため、DS-SSMA方式に適用できる効果がある。

【0074】また、本回路の判定部3は、軟判定を行う判定部（軟判定部）であっても構わない。この場合には、再変調部4は、軟判定部3の出力である軟判定データの尤度に応じて振幅を重み付けして再変調し、結果を受信シンボルのレプリカとして同期検波部1に帰還して出力するようにしておくことが考えられる。ここで、軟判定とは、しきい値を複数設定した判定の方式をいい、尤度とは、例えば、次のような値である。すなわち、3ビットを用いた8値の軟判定とする場合には、両極に近い判定が為されたときには、尤度が高く、中間の値に近くなるほど、尤度が低いとされる。

【0075】このようにすれば、第3の複素共役乗算器17が算出する受信シンボルの振幅位相変動量を、判定データの尤度が低い時は位相を変えずに振幅を小さく抑えるようになり、雑音の帰還量を低減し、振幅位相補償をより高精度に行うことができる効果がある。

【0076】また、本回路において、全スロットの受信パイロットシンボルの平均位相振幅変動ベクトルを参照させ、より高精度な振幅位相補償を行わせるようにすることも考えられる。この場合の本回路は、図3に示すように、図1に示した本回路に加え、振幅位相変動量平均化部13が出力する平均振幅位相変動ベクトルを1スロットに亘って一時格納する平均振幅位相変動ベクトル格納用レジスタ31と、加算平均部32とを備えるようになっていたものである。図3は、もう一つの本回路の構成ブロック図である。

【0077】ここで、加算平均部32は、現在振幅位相変動量平均化部13が出力している平均振幅位相変動ベクトルと、それに対応して平均振幅位相変動ベクトル格納用レジスタ31が格納している、前回の平均振幅位相変動ベクトルとの加算平均値を算出して図1に示す振幅位相変動量平均化部13が出力する平均振幅位相変動ベクトルの代わりにセレクタ14に出力するものである。

【0078】つまり、振幅位相変動量平均化部13が第k番目のパイロットシンボルの平均振幅位相変動ベクトルを出力しているときには、加算平均部32は、当該平均振幅位相変動ベクトルと、前回のスロットにおける第k番目のパイロットシンボルの平均振幅位相変動ベクトルとの加算平均を算出するようになっている。

【0079】つまり、図3に示した本回路では、kスロット目の情報シンボルブロック内の1番目の情報シンボルに対する振幅位相補償ベクトル（ $S_{in1} + j S_{qn1}$ ）は、次の【数8】で示されるものとなる。

【0080】

【数8】

$$S_{ik1} = \frac{PR_{i(k-1)} + PR_{ik}}{2}$$

$$S_{qk1} = \frac{PR_{q(k-1)} + PR_{qk}}{2}$$

【0081】さらに平均振幅位相変動ベクトル格納用レジスタ31の容量を大きくしておくことにより、過去の複数の対応する平均振幅位相変動ベクトルを平均加算するようにできる。このようにすれば、さらに精度を高めることができる効果がある。

【0082】尚、本回路は外挿補間型の同期検波回路とすることができるが、一般的な外挿補間型の同期検波回路と異なるのは、情報シンボルブロックの直前のパイロットシンボルブロックから算出された平均振幅位相変動ベクトルを振幅位相補償ベクトルとして固定的に使用し、受信シンボルを振幅位相補償するのではなく、判定データを帰還して、逐次的に振幅位相補償ベクトルを更新しながら受信シンボルを振幅位相補償する点にある。

【0083】従って本回路は、従来の外挿補間型の同期検波回路に比べて、スロットの後端に近い情報シンボルの誤り率特性の劣化が少なくなるという効果がある。

【0084】

【実施例】本回路を用いてIF折り返し室内実験を行った際の実施例を図4を用いて説明する。図4は、本回路の特性を表す説明図であり、横軸に1ビット当たりのエネルギー／雑音電力密度を、縦軸にビット誤り率（BER）を表示している。

【0085】ここに図4に示す実験の条件は、IF周波数が90MHz、拡散帯域が10MHz、変調方式をデータについてQPSK、拡散変調についてBPSKが使用されている。

【0086】尚、拡散率は128であり、シンボルレートは64ksp/s、チップレートは7.68Mcpsである。図4に示すように、本回路は、従来の内挿補間型の回路と同等の特性が得られることがわかる。

【0087】

【発明の効果】請求項1記載の発明によれば、パイロットシンボルブロックで算出した平均振幅位相変動ベクトルを振幅位相補償ベクトルとして、情報シンボルの振幅位相変動量を補償する同期検波回路において、同期検波の結果である判定データを帰還して、逐次的に前記振幅位相補償ベクトルを更新する同期検波回路としているので、情報シンボルブロックの振幅位相変動を補償するために、情報シンボルブロックの後に位置するパイロット

ブロックの平均振幅位相変動ベクトルを利用する必要がなく、受信シンボルを一時的に格納するメモリが不要となり、回路規模と消費電力とを低減できる効果があり、また、判定データを得るまでに大きな遅延が生じないために、DS-CDMA方式に適用できる効果がある。

【0088】請求項2、3記載の発明によれば、情報シンボルの前に位置するパイロットシンボルブロックの平均振幅位相変動量を振幅位相補償ベクトルとして用いて、第1の情報シンボルの振幅位相変動量を補償し、その後新たにパイロットシンボルを受信するまでは、1シンボル前の同期検波の結果である判定データと当該1シンボル前の情報シンボルとの間の振幅位相変動量と1シンボル前の情報シンボルを補償する際に用いた振幅位相補償ベクトルとの重み付け平均値を新たな振幅位相補償ベクトルとして情報シンボルの振幅位相変動量を補償する同期検波回路としているので、情報シンボルブロックの振幅位相変動を補償するために、情報シンボルブロックの後に位置するパイロットブロックの平均振幅位相変動ベクトルを利用する必要がなく、受信シンボルを一時的に格納するメモリが不要となり、回路規模と消費電力とを低減できる効果があり、また、判定データを得るまでに大きな遅延が生じないために、DS-CDMA方式に適用できる効果がある。

【0089】請求項4記載の発明によれば、パイロットシンボルの振幅位相変動量の平均を、1スロット前のパイロットシンボルに対する振幅位相変動量の平均と今回算出したパイロットシンボルの振幅位相変動量の平均との加算平均とする請求項2又は請求項3記載の同期検波回路としているので、パイロットシンボルの振幅位相変動量の精度を高め、請求項2又は請求項3記載の効果に加えて、情報シンボルの振幅位相変動の補償の精度を高めることができる効果がある。

【0090】請求項5記載の発明によれば、パイロットシンボルの振幅位相変動量の平均を、過去の複数のスロット前のそれぞれのパイロットシンボルに対する振幅位相変動量の平均と今回算出したパイロットシンボルの振幅位相変動量の平均との加算平均とする請求項2又は請求項3記載の同期検波回路としているので、パイロットシンボルの振幅位相変動量の精度を高め、請求項2又は請求項3記載の効果に加えて、情報シンボルの振幅位相変動の補償の精度を高めることができる効果がある。

【0091】請求項6記載の発明によれば、パイロットシンボル生成部がパイロットシンボルと同一の信号であるレプリカ信号を出力し、第1の複素共役乗算器がシンボルを逆拡散した相関データの入力を受けて、当該相関データとレプリカ信号との複素共役乗算を算出し、振幅位相変動量平均化部が複素共役乗算の結果の平均を算出して、複数の受信パイロットシンボルの振幅位相変動量の平均として出力し、第1の情報シンボルの相関データが入力されると、セクタが外部から入力される切替タ

イミング信号に従って、振幅位相変動量平均化部が出力する振幅位相変動量の平均を選択して出力し、第2の複素共役乗算器が入力された相関データとセクタで選択されて出力された信号との複素共役乗算を算出して外部に出力するようになり、第3の複素共役乗算器が当該出力によって得られた、第1の情報シンボルの判定データを再変調した信号と第1の情報シンボルの相関データとの複素共役乗算を算出して第2の乗算器に出力し、第2の乗算器が複素共役乗算の結果に平均化された重みを乗算する一方、第1の乗算器がセクタから出力される信号に平均化された重みを乗算し、加算器がそれら平均化された重みを乗算された信号を加算してセクタに出力し、第2の情報シンボルの相関データが入力されると、セクタが外部から入力される切替タイミング信号に従って、当該加算器から出力される信号を選択して出力するようになって、第2の複素共役乗算器が入力された相関データとセクタで選択された加算器から入力される信号との複素共役乗算を算出して外部に出力し、第1の乗算器がセクタから出力される当該信号に平均化された重みを乗算し、第3の複素共役乗算器が外部から判定データを再変調した信号の入力を受けて、入力された相関データとの複素共役乗算を算出し、第2の乗算器が複素共役乗算の結果に平均化された重みを乗算し、加算器がそれらを加算してセクタに出力する同期検波部を有する同期検波回路としているので、情報シンボルブロックの振幅位相変動を補償するために、情報シンボルブロックの後に位置するパイロットブロックの平均振幅位相変動ベクトルを利用することなく、逐次的に精度を担保しつつ、情報シンボルの振幅位相変動を補償しているため、受信シンボルを一時的に格納するメモリが不要となって回路規模と消費電力とを低減できる効果があり、また、判定データを得るまでに大きな遅延が生じないために、DS-CDMA方式に適用できる効果がある。

【0092】請求項7記載の発明によれば、バスに対応して設けられた複数の請求項6記載の同期検波部が、シンボルを逆拡散した相関データの入力を受けて、当該相関データから振幅位相変動を補償した情報シンボルを出力し、合成部が同期検波部が出力する情報シンボルを合成し、判定部が合成部で合成された結果から情報シンボルを判定データとして再生し、判定データを再変調して同期検波部に帰還して出力する同期検波回路としているので、情報シンボルブロックの振幅位相変動を補償するために、情報シンボルブロックの後に位置するパイロットブロックの平均振幅位相変動ベクトルを利用することなく、逐次的に精度を担保しつつ、情報シンボルの振幅位相変動を補償しているため、受信シンボルを一時的に格納するメモリが不要となって回路規模と消費電力とを低減できる効果があり、また、判定データを得るまでに大きな遅延が生じないために、DS-CDMA方式に適用できる効果がある。

【0093】請求項8記載の発明によれば、バスに対応して設けられた複数の請求項6記載の同期検波部が、シンボルを逆拡散した関連データの入力を受けて、当該関連データから振幅位相変動を補償した情報シンボルを出力し、合成部が同期検波部が出力する情報シンボルを合成し、軟判定部が合成部で合成された結果から情報シンボルを軟判定データとして再生し、軟判定データを軟判定データの尤度に応じて振幅を重み付けして再変調し、受信シンボルのレプリカ信号を同期検波部に帰還して出力する同期検波回路としているので、情報シンボルブロックの振幅位相変動を補償するために、情報シンボルブロックの後に位置するパイロットブロックの平均振幅位相変動ベクトルを利用することなく、逐次的に精度を担保しつつ、情報シンボルの振幅位相変動を補償しているため、受信シンボルを一時的に格納するメモリが不要となって回路規模と消費電力とを低減できる効果があり、また、判定データを得るまでに大きな遅延が生じないために、DS-CDMA方式に適用できる効果がある。

【0094】請求項9記載の発明によれば、パイロットシンボル生成部がパイロットシンボルと同一の信号であるレプリカ信号を出力し、第1の複素共役乗算器がシンボルを逆拡散した関連データの入力を受けて、当該関連データとレプリカ信号との複素共役乗算を算出し、振幅位相変動量平均化部が複素共役乗算の結果の平均を算出して、複数の受信パイロットシンボルの振幅位相変動量の平均として出力し、平均振幅位相変動ベクトル格納用レジスタが当該振幅位相変動量の平均を格納するとともに、前回格納した振幅位相変動量の平均を加算平均部に出力し、加算平均部が振幅位相変動量平均化部から出力される今回の振幅位相変動量の平均と平均振幅位相変動ベクトル格納用レジスタから入力される前回の振幅位相変動量の平均との加算平均の値をセレクトに出力し、第1の情報シンボルの関連データが入力されると、セレクトが外部から入力される切替タイミング信号に従って、振幅位相変動量平均化部が出力する振幅位相変動量の平均を選択して出力し、第2の複素共役乗算器が入力された関連データとセレクトで選択されて出力された信号との複素共役乗算を算出して外部に出力するようになり、第3の複素共役乗算器が当該出力によって得られた、第1の情報シンボルの判定データを再変調した信号と第1の情報シンボルの関連データとの複素共役乗算を算出して第2の乗算器に出力し、第2の乗算器が複素共役乗算の結果に平均化された重みを乗算する一方、第1の乗算器がセレクトから出力される信号に平均化された重みを乗算し、加算器がそれら平均化された重みを乗算された信号を加算してセレクトに出力し、第2の情報シンボル

の関連データが入力されると、セレクトが外部から入力される切替タイミング信号に従って、当該加算器から出力される信号を選択して出力するようになって、第2の複素共役乗算器が入力された関連データとセレクトで選択された加算器から入力される信号との複素共役乗算を算出して外部に出力し、第1の乗算器がセレクトから出力される当該信号に平均化された重みを乗算し、第3の複素共役乗算器が外部から判定データを再変調した信号の入力を受けて、入力された関連データとの複素共役乗算を算出し、第2の乗算器が複素共役乗算の結果に平均化された重みを乗算し、加算器がそれらを加算してセレクトに出力する同期検波部を有する同期検波回路としているので、第1の情報シンボルを補償する振幅位相補償ベクトルの精度を高めるとともに、情報シンボルブロックの振幅位相変動を補償するために、情報シンボルブロックの後に位置するパイロットブロックの平均振幅位相変動ベクトルを利用することなく、逐次的に精度を担保しつつ、情報シンボルの振幅位相変動を補償しているため、受信シンボルを一時的に格納するメモリが不要となって回路規模と消費電力とを低減できる効果があり、また、判定データを得るまでに大きな遅延が生じないために、DS-CDMA方式に適用できる効果がある。

【図面の簡単な説明】

【図1】本回路の構成ブロック図である。

【図2】本回路の動作を表すタイミングチャート図である。

【図3】もう一つの本回路の構成ブロック図である。

【図4】本回路の特性を表す説明図である。

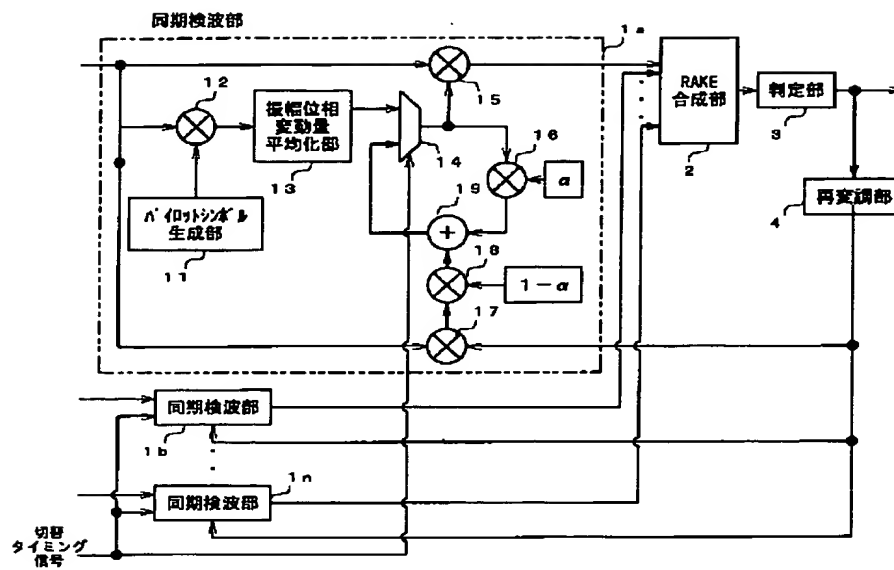
【図5】従来の同期検波回路の構成ブロック図である。

【図6】同期検波回路に入力される受信シンボルの一例を表す説明図である。

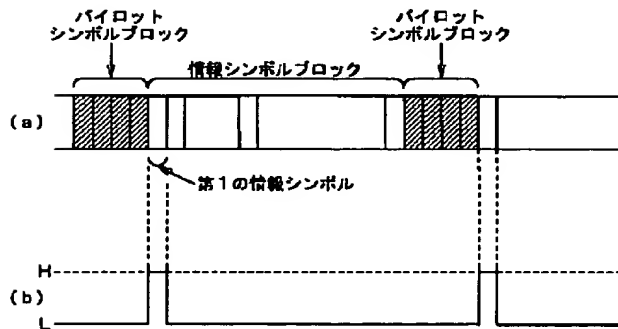
【符号の説明】

1…同期検波部、 2…RAKE合成部、 3…判定部、 4…再変調部、 11…パイロットシンボル生成部、 12…第1の複素共役乗算器、 13…振幅位相変動量平均化部、 14…セレクト、 15…第2の複素共役乗算器、 16…第1の乗算器、 17…第3の複素共役乗算器、 18…第2の乗算器、 19…加算器、 31…平均振幅位相変動ベクトル格納用レジスタ、 32…加算平均部、 61…同期検波部、 62…RAKE合成部、 63…判定部、 71…シンボル格納メモリ、 72…パイロットシンボル生成回路、 73…第1の複素共役乗算器、 74…振幅位相変動量平均化部、 75…補間回路、 76…第2の複素共役乗算器

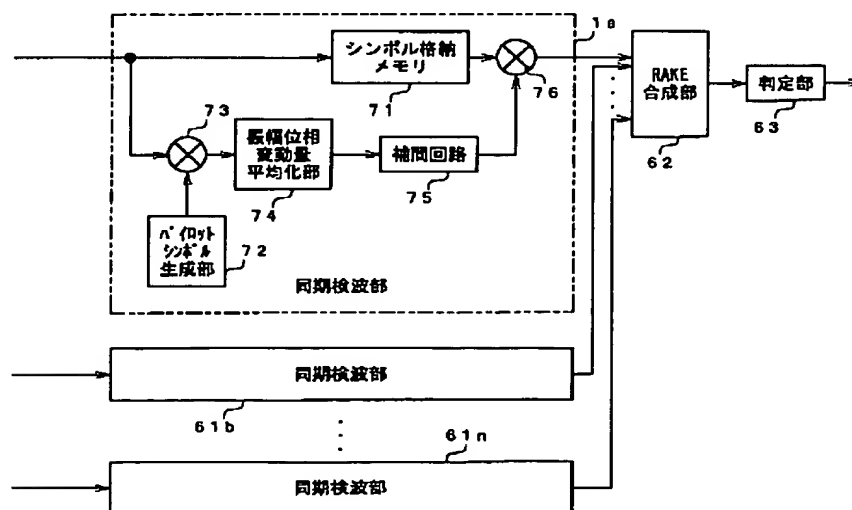
【図1】



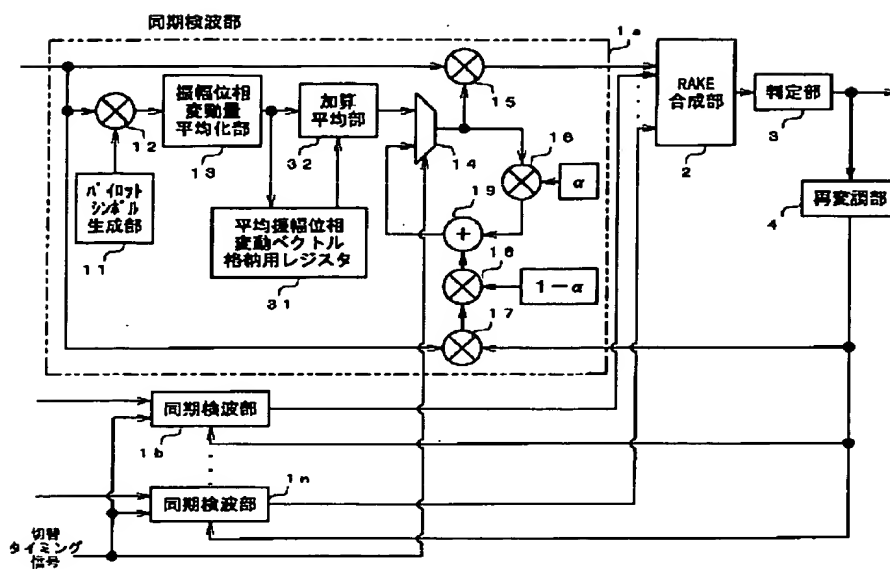
【図2】



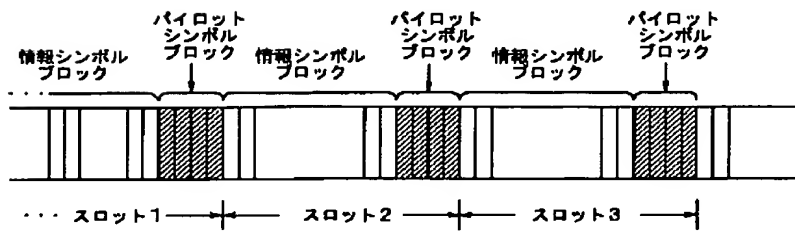
【図5】



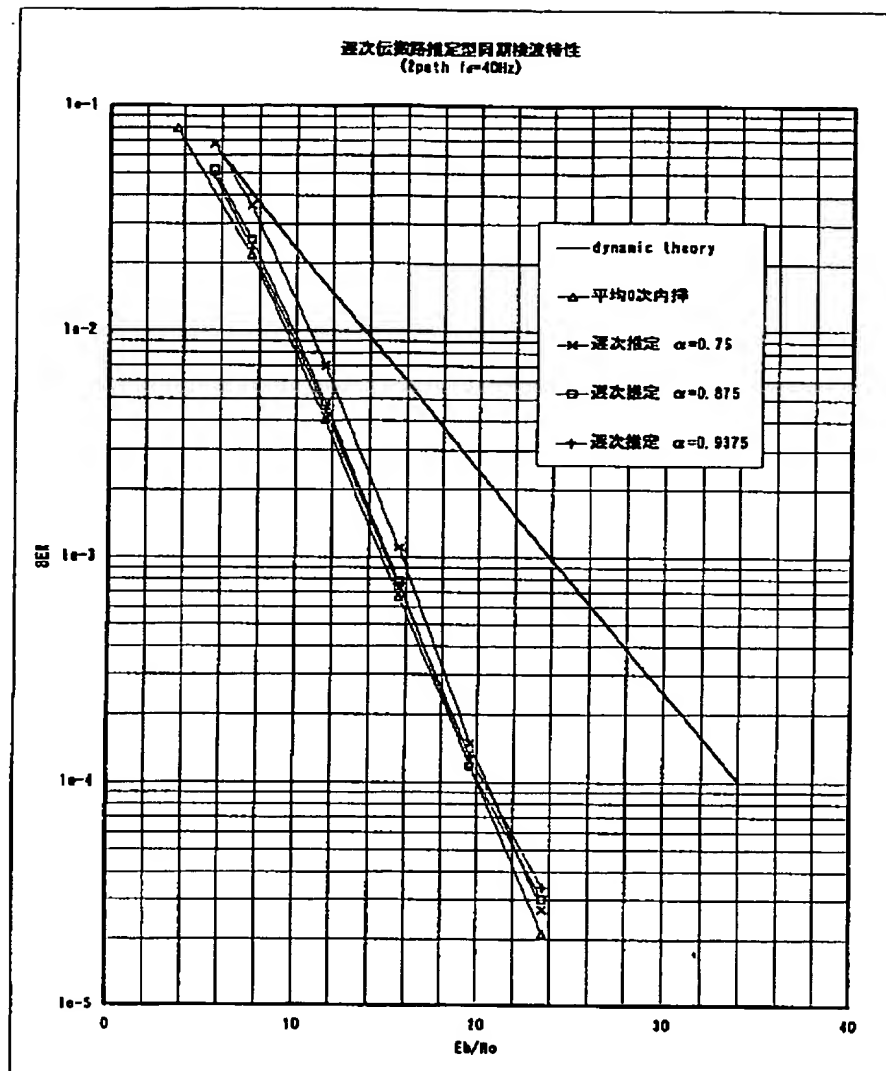
【図 3】



【図 6】



【図4】



フロントページの続き

(72)発明者 安部 俊二
東京都中野区東中野三丁目14番20号 国際
電気株式会社内